

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001 年 1 月 11 日 (11.01.2001)

PCT

(10) 国際公開番号
WO 01/02957 A1

(51) 国際特許分類: G06F 9/46

(21) 国際出願番号: PCT/JP00/04475

(22) 国際出願日: 2000 年 7 月 5 日 (05.07.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平 11/191143 1999 年 7 月 6 日 (06.07.1999) JP(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市
大字門真1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 今村 泰 (IMA-
MURA, Yasushi) [JP/JP]; 〒792-0811 愛媛県新居浜市庄内町 1-11-53 Ehime (JP). 井上 貴生 (INOUE, Takao)
[JP/JP]; 〒793-0030 愛媛県西条市大町 736-28 Ehime
(JP). 大北 正明 (OKITA, Masaaki) [JP/JP]; 〒793-0035
愛媛県西条市福武甲 200 Ehime (JP).(74) 代理人: 弁理士 早瀬 憲一 (HAYASE, Kenichi); 〒
564-0053 大阪府吹田市江の木町 17 番 1 号 江坂全日
空ビル 8 階 早瀬特許事務所 Osaka (JP).

(81) 指定国 (国内): CN, ID, KR, SG, US.

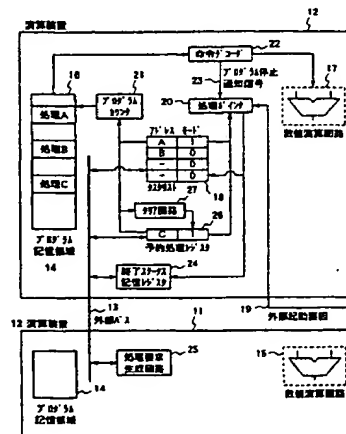
添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: DIGITAL SIGNAL PROCESSOR

(54) 発明の名称: デジタル信号処理装置



- | | | |
|---------------------------|------------------------------------|---|
| 12...ARITHMETIC UNIT | 21...PROGRAM COUNTER | 26...RESERVATION PROCESSING REGISTER |
| 23...INSTRUCTION DECODER | 22...PROGRAM HALT NOTIFYING SIGNAL | 24...TERMINATION STATUS STORING REGISTER |
| 14...PROGRAM STORING AREA | 20...PROCESSING POINTED | 13...EXTERNAL BUS |
| PROCESSING A | 17...NUMERICAL OPERATION CIRCUIT | 11...ARITHMETIC UNIT |
| PROCESSING B | 18...ADDRESS MODE | 19...EXTERNAL ACTIVATION FACTOR |
| PROCESSING C | 16...TASK LIST | 14...PROGRAM STORING AREA |
| | 27...CLEAR CIRCUIT | 25...PROCESSING DEMAND GENERATING CIRCUIT |
| | | 15...NUMERICAL OPERATION CIRCUIT |

(57) Abstract: A reservation processing register (26) having a construction capable of being set from an arithmetic unit (11) and storing addresses and an execution mode just as a task list (18), and a clear circuit (27) for clearing an execution mode when the address of the reservation processing register (26) is copied onto a program counter (21) are added into an arithmetic unit (12) anew. Whereby, a digital signal processor consisting of two arithmetic units may use respective arithmetic units to eliminate processing wait times and change processing sequences.

/続葉有/

WO 01/02957 A1



(57) 要約:

演算装置 12 内に、演算装置 11 から設定可能で、タスクリスト 18 と同様にアドレス、及び実行モードを格納できる構造を持った予約処理レジスタ 26 と、予約処理レジスタ 26 のアドレスがプログラムカウンタ 21 へ複写されたときに実行モードをクリアするためのクリア回路 27 を、新たに追加したものである。

これにより、2 個の演算装置から構成されるデジタル信号処理装置において、それぞれの演算装置で処理待ち時間を除去できるとともに、処理順序を変更することもできる。

明細書

デジタル信号処理装置

技術分野

- 5 本発明は、デジタル信号処理装置に関し、特に、光ディスク装置のサーボ制御に適用して効果を発揮するものである。

背景技術

- 10 第9図は、一般的な光ディスク装置のサーボ制御装置の構成を示す図である。

- この光ディスク装置では、光ディスク91に記録されたデータを読み出すために、光ピックアップ92に設置された対物レンズ93を通し、ディスク記録面に対して発射した光レーザの反射光を利用する。フォトディテクタ94などのセンサを使用して検出された反射光の光量は、A/D変換器95によってアナログデータからデジタルデータへ変換されてデジタル信号処理装置96に入力される。この反射光の光量は、ディスク回転や外部振動などの影響を受けて変動するが、データを正しく読み出すためには、反射光の光量を大きく保つ必要がある。そのためには、フォーカス制御、及びトラッキング制御を行う必要がある。フォーカス制御は、ディスクの面振れに対し、光ピックアップに設置された対物レンズ93とディスク記録面との距離を一定に保ち、ディスク記録面がレーザの焦点深度内に位置するように対物レンズを制御することである。また、トラッキング制御は、ディスクの偏心に対し、光スポットがトラック上を正しく走査するように対物レンズ93を制御することである。これらフォーカス制御、トラッキング制御は、フォーカス、トラッキングが正しいかどうかを表すフォーカス誤差信号、トラッキング誤差信号を反射光から検出し、フォーカス駆動量、トラッキング駆動量をデジタル演算によって計算し、D/A変換器97C、97Dを通して対物レンズ93を駆動させることによって実現する。光ディスク装置に
- 15
- 20
- 25

必要なサーボ制御としては、フォーカス制御、トラッキング制御以外にも、光ディスクを回転させるためのスピンドルモータ 9 8 を制御するスピンドル制御、光ピックアップ 9 2 を駆動させるためのトラバース制御などがある。

- 5 従来の光ディスク装置におけるサーボ制御を行うデジタル信号処理装置の構成としては、特開平 1 0 - 2 5 5 2 8 3 号公報「光ピックアップの制御方法および光ディスク装置」に記載されている方法が知られている。この公報には、主たる演算装置である CPU と CPU を補助する演算装置である DSP を有する光ディスク装置のサーボ系の構成と、光
- 10 ディスク装置のサーボ制御に必要な各種タスクを CPU と DSP に分割して処理させる方式が開示されている。

以下、2 個の演算装置から構成され、光ディスク装置におけるサーボ制御を行う従来のデジタル信号処理装置について、第 7 図を用いて説明する。

- 15 第 7 図において、1 1, 1 2 は演算装置、1 3 は外部バス、1 4, 1 6 はプログラム記憶領域、1 5, 1 7 は数値演算回路「A L U (Arithmetic logic unit)」、1 8 はタスクリスト、1 9 は外部起動要因、7 0 は処理ポインタ A、2 1 はプログラムカウンタ、2 2 は命令デコーダ、2 3 はプログラム停止通知信号、2 4 は終了ステータス記憶レジスタ、2 5 は
- 20 処理要求生成回路である。

- 演算装置 1 1 と演算装置 1 2 とは外部バス 1 3 によって接続され、演算装置 1 1 から演算装置 1 2 の内部レジスタを参照することができる。演算装置 1 1 は、プログラム記憶領域 1 4 に格納されたプログラムによって数値演算回路 1 5 を起動させ、スピンドル制御、トラバース制御な
- 25 どに必要な駆動値を計算する。演算装置 1 2 も同様に、プログラム記憶領域 1 6 に格納されたプログラムによって数値演算回路 1 7 を動作させて、フォーカス制御、トラッキング制御などに必要な駆動値を計算する。

演算装置 1 2 における、例えばフォーカス制御処理である処理 A やトラッキング制御処理である処理 B は、あらかじめ演算装置 1 1 から外部

バス 13 を通して転送され、プログラム記憶領域 16 に格納されている。
また、処理 A、処理 B の開始アドレスは、演算装置 12 内に設置された
タスクリスト 18 に、演算装置 11 から転送されている。タスクリスト
18 は、各処理の開始アドレスと各処理の実行モードを対にして格納し
5 ている。実行モードは、対応する処理が実行可能かどうかを示している。
演算装置 12 は、一定周期ごとに発生する外部起動要因 19 に Hi パル
スが入力されると、処理ポインタ A70 がタスクリスト 18 の先頭を指
示するように初期化する。また、終了ステータス記憶レジスタ 24 に未
終了を示す 0 を設定する。さらに、演算装置 12 は、処理ポインタ A7
10 0 が指示するタスクリスト 18 内に格納されたアドレスを、プログラム
カウンタ 21 に複写する。この時、処理ポインタ A70 が指示するアド
レスに対応する実行モードが実行不可能を意味する 0 を示していれば、
処理ポインタは 1 インクリメントされて、次の処理のアドレスをプログ
ラムカウンタ 21 に複写するよう試みる。

15 以上のような動作により、処理 A のプログラムが起動され、プログラ
ム記憶領域 16 から処理 A のプログラムが読み出される。そして、読み
出された処理 A のプログラムが命令デコーダ 22 によって解釈されると、
数値演算回路 17 が動作し、処理 A が実行される。

演算装置 12 は、プログラムカウンタ 21 が処理 A の終了アドレスに
20 到達し、プログラム停止命令が命令デコーダ 22 に入力されると、命令
デコーダ 22 から処理ポインタ A70 に対してプログラム停止通知信号
23 を発生させる。処理ポインタ A70 にプログラム停止通知信号 23
が通知されると、演算装置 12 はタスクリスト 18 への指示先を処理 A
から処理 B へ変更して、処理 B の開始アドレスをプログラムカウンタ 2
25 1 に複写する。これにより、処理 B のプログラムが起動され、処理 B が
実行される。演算装置 12 は、同様の操作をタスクリスト 18 内に格納
されたすべての処理に対して繰り返し、すべての処理の実行が終了する
と、終了ステータス記憶レジスタ 24 に処理終了を示す 1 を設定する。

演算装置 11 は、演算装置 12 の終了ステータス記憶レジスタ 24 を

監視して、演算装置 1 2 が処理実行中でない 0 が設定されている場合に、処理要求生成回路 2 5 を用いて、演算装置 1 2 に対し、タスクリスト 1 8 に記憶されていない処理 C の実行を要求することができる。

- かかる構成を持つ光ディスク装置のデジタル信号処理装置によれば、
- 5 高速な動作速度を要求されるフォーカス制御、トラッキング制御を演算装置 1 2 で実行し、動作速度が低速でも問題ないスピンドル制御、トラバース制御を演算装置 1 1 で実行するよう負荷を分散させることができるので、演算装置 1 1 を安価で小規模な回路とすることができる。

- しかしながら上記従来のデジタル信号処理装置の構成では、演算装置 1 1 から演算装置 1 2 に対して、処理 C の実行を要求する場合に、演算装置 1 2 の終了ステータス記憶レジスタ 2 4 を監視する必要があるため、演算装置 1 1 で演算装置 1 2 の処理待ち時間が発生するという問題点があった。例えば、第 8 図に示すタイミングチャートのように、演算装置 1 2 が処理 A を実行中に、演算装置 1 1 から処理 C の実行要求が発生した場合に、演算装置 1 1 では演算装置 1 2 が処理 A、処理 B を終了するまで、終了ステータス記憶レジスタ 2 4 を監視しながら待機しなければならなかった。
- 10
- 15

また、演算装置 1 1 から実行を要求した処理 C を、演算装置 1 2 が処理 A を終了した後、処理 B 開始前に実行させることはできなかった。

- 20 さらに、演算装置 1 1 から実行を要求した処理 C を、演算装置 1 2 が処理中の処理 A を中断して実行させることはできなかった。

- 本発明は、上記問題点を解消するためになされたものであり、演算装置 1 1 での処理待ち時間を除去することができ、さらに、演算装置 1 2 での処理順序を変更することができるデジタル信号処理装置を提供することを目的とする。
- 25

発明の開示

本発明の請求の範囲第 1 項に係るデジタル信号処理装置は、タスク要求を発生する主たる演算装置と、前記主たる演算装置からの前記タス

- ク要求を受理し、実行する補助的な演算装置とからなるデジタル信号処理装置であって、前記補助的な演算装置は、該補助的な演算装置が処理を実行中でも、前記主たる演算装置からタスクを設定可能な予約処理レジスタと、前記予約処理レジスタに設定されたタスクが行われると、
- 5 前記予約処理レジスタのタスクをクリアにするクリア回路とを備え、前記補助的な演算装置が現在実行中のタスク終了後、前記主たる演算装置から要求されたタスクを実行するものである。

- 本発明（請求の範囲第1項）に係るデジタル信号処理装置によれば、前記主たる演算装置から前記補助的な演算装置に対して発生するタスク
- 10 処理要求を、前記主たる演算装置を待機させることなく前記補助的な演算装置で受理し、前記補助的な演算装置が現在実行中のタスク処理終了後、要求されたタスクを実行することが可能となる。

- 本発明の請求の範囲第2項に係るデジタル信号処理装置は、請求の範囲第1項に記載のデジタル信号処理装置において、前記補助的な演算装置は、処理が要求されているタスクに対して、処理を行なう優先順位を決定する優先順位判定回路を有し、前記補助的な演算装置が、前記
- 15 優先順位判定回路により決定されたタスクごとの優先順位に従いタスクを実行するものである。

- 本発明（請求の範囲第2項）に係るデジタル信号処理装置によれば、
- 20 前記主たる演算装置から前記補助的な演算装置に対して要求されたタスクに優先順位をつけて実行することが可能となる。

- 本発明の請求の範囲第3項に係るデジタル信号処理装置は、請求の範囲第1項に記載のデジタル信号処理装置において、前記補助的な演算装置は、現在実行中の処理を中断する中断信号を生成する中断信号生成回路を有し、前記主たる演算装置からのタスク要求を受けると、前記
- 25 補助的な演算装置が処理を中断し、前記主たる演算装置からのタスク要求を実行するものである。

本発明（請求の範囲第3項）に係るデジタル信号処理装置によれば、前記主たる演算装置から実行を要求されたタスクを待ち時間なく前記補

助的な演算装置で、実行することが可能となる。

図面の簡単な説明

第 1 図は、本発明の実施の形態 1 における予約処理レジスタを備える
5 デジタル信号処理装置の構成を示すブロック図である。

第 2 図は、本発明の実施の形態 1 における予約処理レジスタを備える
デジタル信号処理装置のタイミングチャート図である。

第 3 図は、本発明の実施の形態 2 における優先順位判定回路を備える
デジタル信号処理装置の構成を示すブロック図である。

10 第 4 図は、本発明の実施の形態 2 における優先順位判定回路を備える
デジタル信号処理装置のタイミングチャート図である。

第 5 図は、本発明の実施の形態 3 における処理中断回路を備えるデ
ジタル信号処理装置の構成を示すブロック図である。

15 第 6 図は、本発明の実施の形態 3 における処理中断回路を備えるデ
ジタル信号処理装置のタイミングチャート図である。

第 7 図は、従来のデジタル信号処理装置の構成を示すブロック図で
ある。

第 8 図は、従来のデジタル信号処理装置のタイミングチャート図で
ある。

20 第 9 図は、一般的な光ディスク装置の構成図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照しつつ説明する。

実施の形態 1

25 第 1 図は、本実施の形態 1 によるデジタル信号処理装置の構成を示
すブロック図である。第 1 図において、11、12 は演算装置、13 は
外部バス、14、16 はプログラム記憶領域、15、17 は数値演算回
路、18 はタスクリスト、19 は外部起動要因、20 は処理ポインタ、
21 はプログラムカウンタ、22 は命令デコーダ、23 はプログラム停

止通知信号、24は終了ステータス記憶レジスタ、25は処理要求生成回路、26は予約処理レジスタ、27はクリア回路である。

第7図で示した従来の構成と同様に、演算装置11と演算装置12とは外部バス13によって接続され、演算装置11から演算装置12の内部レジスタを参照することができる。演算装置11は、プログラム記憶領域14に格納されたプログラムによって数値演算回路15を動作させて、スピンドル制御、トラバース制御などに必要な駆動値を計算する。演算装置12も同様に、プログラム記憶領域16に格納されたプログラムによって数値演算回路17を動作させて、フォーカス制御、トラッキング制御などに必要な駆動値を計算する。

演算装置12における、例えばフォーカス制御処理である処理Aやトラッキング制御処理である処理Bは、あらかじめ演算装置11から外部バス13を通して転送され、プログラム記憶領域16に格納されている。また、処理A、処理Bの開始アドレスは、演算装置12内に設置されたタスクリスト18に、演算装置11から転送されている。タスクリスト18は、各処理の開始アドレスと各処理の実行モードを対にして格納している。実行モードは、対応する処理が実行可能かどうかを示している。演算装置12は、一定周期ごとに発生する外部起動要因19にHiパルスが入力されると、処理ポインタ20がタスクリスト18の先頭を指示するように初期化する。また、終了ステータス記憶レジスタ24に未終了を示す0を設定する。さらに、演算装置12は、処理ポインタ20が指示するタスクリスト18内に格納されたアドレスをプログラムカウンタ21に複写する。この時、処理ポインタ20が指示するアドレスに対応する実行モードが実行不可能を意味する0を示していれば、処理ポインタ20は1インクリメントされて、次の処理のアドレスをプログラムカウンタ21に複写するよう試みる。

以上のような動作により、処理Aのプログラムが起動され、プログラム記憶領域16から処理Aのプログラムが読み出される。そして、読み出された処理Aのプログラムが命令デコーダ22によって解釈されると、

数値演算回路 17 が動作し、処理 A が実行される。演算装置 12 は、プログラムカウンタ 21 が処理 A の終了アドレスに到達し、プログラム停止命令が命令デコーダ 22 に入力されると、命令デコーダ 22 から処理ポインタ 20 に対してプログラム停止通知信号 23 を発生させる。処理
5 ポインタ 20 にプログラム停止通知信号 23 が通知されると、演算装置 12 はタスクリスト 18 への指示先を処理 A から処理 B へ変更して、処理 B の開始アドレスをプログラムカウンタ 21 に複写する。これにより、処理 B のプログラムが起動され、処理 B が実行される。

演算装置 12 は、同様の操作をタスクリスト 18 内に格納されたすべての処理に対して繰り返す。すべての処理の実行を終了させたときに、
10 第 7 図に示す従来の手法では、終了ステータス記憶レジスタ 24 に処理終了を示す 1 を設定していたが、本発明のデジタル信号処理装置では、予約処理レジスタ 26 の実行モードを調査する。仮に、演算装置 12 が処理 A または処理 B を実行中に、演算装置 11 から演算装置 12 の予約
15 処理レジスタ 26 のアドレス部に処理 C のアドレスが書き込まれ、さらに、予約処理レジスタ 26 の実行モードに対して実行可能を示す 1 が書き込まれたとすると、演算装置 12 は、タスクリスト 18 内のすべての処理を終了させて予約処理レジスタ 26 の実行モードを調査する。その
20 際、演算装置 12 は、予約処理レジスタ 26 の実行モードに 1 が記憶されていることを認知し、予約処理レジスタ 26 のアドレスをプログラムカウンタ 21 に複写する。これにより、処理 C のプログラムが起動され、プログラム記憶領域 16 から処理 C のプログラムが読み出される。そして、読み出された処理 C のプログラムが命令デコーダ 22 によって解釈
25 されると、数値演算回路 17 が動作し、処理 C が実行される。クリア回路 27 は、予約処理レジスタ 26 内のアドレスがプログラムカウンタ 21 に複写されたことを検知し、予約処理レジスタ 26 の実行モードを、実行不可能を意味する 0 に設定する。演算装置 12 は、プログラムカウンタ 21 が処理 C の終了アドレスに到達し、プログラム停止命令が命令デコーダ 22 に入力されると、命令デコーダ 22 から処理ポインタ 20

に対してプログラム停止通知信号 2 3 を発生させ、終了ステータス記憶レジスタ 2 4 に処理の終了を示す 1 を設定する。

かかる構成を持つ本実施の形態 1 のデジタル信号処理装置によれば、演算装置 1 1 から演算装置 1 2 に対して発生するタスク処理要求を、演算装置 1 1 を待機させることなく演算装置 1 2 で受理し、演算装置 1 2 が現在実行中のタスク終了後、要求されたタスクを実行することができる。例えば、第 2 図のタイミングチャートが示すように演算装置 1 2 が処理 A を実行中に演算装置 1 1 で処理 C 実行要求が発生したとすると、従来のデジタル信号処理装置では、演算装置 1 1 は、演算装置 1 2 が処理 A、処理 B の処理を終了するまで、終了ステータス記憶レジスタ 2 4 を監視しながら待機しなければならなかったが、本発明のデジタル信号処理装置によると、演算装置 1 1 は、予約処理レジスタ 2 6 のアドレス部に処理 C のアドレスを書き込み、さらに、予約処理レジスタ 2 6 の実行モードに対して実行可能を示す 1 を書き込むだけで、処理 C を実行することができる。

さらに、本実施の形態 1 のデジタル信号処理装置には、予約処理レジスタ 2 6 内のアドレスがプログラムカウンタ 2 1 に複写されたことを検知し、予約処理レジスタ 2 6 の実行モードに対して、実行不可能を意味する 0 に設定するクリア回路 2 7 が追加されているため、演算装置 1 1 から実行を要求された処理 C を 1 度だけ実行することができる。例えば、第 2 図のタイミングチャートが示すように演算装置 1 2 が処理 A を実行中に演算装置 1 1 で処理 C 実行要求が発生したときに、タスクリスト 1 8 に処理 C のアドレスと実行モードを追加したとすると、演算装置 1 2 のサンプルタイミング 2 は演算装置 1 1 のサンプルタイミング 1 の、2 倍の周期で動作しているので、演算装置 1 1 のサンプルタイミング 1 期間中に処理 C が 2 度実行されてしまうことになる。具体的には、演算装置 1 2 でフォーカス制御およびトラッキング制御の処理を 3 6 0 K H z 周期で実行し、演算装置 1 1 でスピンドル制御、トラバース制御、その他の処理を 1 8 0 K H z 周期で実行しているとする。ここで、スピン

ドル制御は演算装置 1 1 の 2 周期に 1 回、すなわち、90 KHz 周期で、処理の一部を演算装置 1 2 で実行する必要があるとする。このような場合に、予約処理レジスタ 2 6 を使うことで、演算装置 1 1 から演算装置 1 2 へ待ち時間がなく、かつ、スピンドル制御の処理の一部を 1 度だけ
5 実行するように、処理の実行を要求することができる。

実施の形態 2

第 3 図は、本実施の形態 2 によるデジタル信号処理装置の構成を示すブロック図である。第 3 図において、1 1, 1 2 は演算装置、1 3 は外部バス、1 4, 1 6 はプログラム記憶領域、1 5, 1 7 は数値演算回路、1 8 はタスクリスト、1 9 は外部起動要因、2 1 はプログラムカウンタ、2 2 は命令デコーダ、2 3 はプログラム停止通知信号、2 4 は終了ステータス記憶レジスタ、2 5 は処理要求生成回路、2 6 は予約処理レジスタ、2 7 はクリア回路であり、実施の形態 1 の第 1 図とほぼ同様の構造を持つ。実施の形態 1 の第 1 図と異なる点は、処理ポインタ 2 0
10 の代わりに優先順位判定回路 3 0 が追加された点である。

優先順位判定回路 3 0 は、プログラムカウンタ 2 1 が処理の終了アドレスに到達し、プログラム停止命令が命令デコーダ 2 2 に入力されると、命令デコーダ 2 2 からプログラム停止通知信号 2 3 を受理する。この時、実施の形態 1 の処理ポインタ 2 0 は、タスクリスト 1 8 への指示先を 1
20 インクリメントして新たな指示先の実行モードが実行可能かどうかを判断していたが、優先順位判定回路 3 0 は、タスクリスト 1 8 への指示先を 1 インクリメントした新たな指示先の実行モードの値と予約処理レジスタ 2 6 の実行モードの値を比較し、より大きな値を持つ処理をプログラムカウンタ 2 1 に複写する。ここで、タスクリスト 1 8 と予約処理レジスタ 2 6 の実行モードが持つ意味は、実施の形態 1 の意味から拡張されている。すなわち、実施の形態 1 では、実行モードが 0 の時、実行不可能、1 の時、実行可能を意味していたが、実施の形態 2 では、実行モードが 0 の時、実行不可能、1 以上の時、実行可能であり、かつ、その
25 値が優先度を意味する。優先度は、値が大きいほど優先順位が高く、対

応する処理が先に実行されることを意味し、例えば、実行モードのビット数を2ビットにすれば、1、2、3という3種類を指定することができる。

かかる構成を持つ本実施の形態2のデジタル信号処理装置によれば、

5 演算装置11から演算装置12に対して発生するタスク処理要求を、演算装置11を待機させることなく演算装置12で受理し、演算装置12が現在実行中のタスク終了後、要求されたタスクを実行することができる。例えば、第4図のタイミングチャートで示すように、演算装置12が処理Aを実行中に演算装置11で処理C実行要求が発生したとすると、

10 従来のデジタル信号処理装置では、演算装置11は演算装置12が処理A、処理Bの処理を終了するまで、終了ステータス記憶レジスタ24を監視しながら待機しなければならなかったが、本発明のデジタル信号処理装置によると、演算装置11は、予約処理レジスタ26のアドレス部に処理Cのアドレスを書き込み、さらに、予約処理レジスタ26の

15 実行モードに対して実行可能を示す1を書き込むだけで、処理Cを実行することができる。

さらに、本実施の形態2のデジタル信号処理装置によれば、演算装置11から演算装置12に対して、現在処理中の処理終了後実行される予定の処理よりも、優先順位の高い処理を予約処理レジスタ26へ書き込むことによって、予約処理の実行を早めることができる。

20

実施の形態3

第5図は、本実施の形態3によるデジタル信号処理装置の構成を示すブロック図である。第5図において、11、12は演算装置、13は外部バス、14、16はプログラム記憶領域、15、17は数値演算回路、18はタスクリスト、19は外部起動要因、21はプログラムカウンタ、22は命令デコーダ、23はプログラム停止通知信号、24は終了ステータス記憶レジスタ、25は処理要求生成回路、26は予約処理レジスタ、27はクリア回路、50は処理ポインタB、51は中断信号生成回路であり、実施の形態1の第1図とほぼ同様の構造を持つ。実施

25

の形態 1 の第 1 図と異なる点は、処理ポインタ 2 0 の代わりに処理ポインタ B 5 0 が追加された点と、中断信号生成回路 5 1 が新たに追加された点である。

中断信号生成回路 5 1 は、演算装置 1 1 から外部バス 1 3 を通して予約処理レジスタ 2 6 へ書き込みが実行されたかどうかを監視し、予約処理レジスタ 2 6 への書き込みを検知すると中断信号を処理ポインタ B 5 0 に通知する。

中断信号生成回路 5 1 から中断信号が通知された場合、処理ポインタ B 5 0 は、プログラムカウンタ 2 1 が処理の終了アドレスに到達し、プログラム停止命令が命令デコーダ 2 2 に入力されると、命令デコーダ 2 2 からプログラム停止通知信号 2 3 を受領する。そして、タスクリスト 1 8 への指示先を 1 インクリメントして新たな指示先の実行モードが実行可能かどうかを判断し、実行可能であればタスクリスト 1 8 のアドレス部をプログラムカウンタ 2 1 へ複写する。

一方、中断信号生成回路 5 1 から中断信号が通知された場合、処理ポインタ B 5 0 は、予約処理レジスタ 2 6 内のアドレスをプログラムカウンタ 2 1 へ複写する。この時、処理ポインタ B 5 0 のタスクリスト 1 8 への指示先は変更されないで、演算装置 1 2 が演算装置 1 1 から要求された処理を実行し、命令デコーダ 2 2 からプログラム停止通知信号 2 3 が通知されると、処理ポインタ B 5 0 は、タスクリスト 1 8 への指示先を 1 インクリメントして新たな指示先の実行モードが実行可能かどうかを判断し、実行可能であればタスクリスト 1 8 のアドレスをプログラムカウンタ 2 1 に複写する。

かかる構成を持つ本実施の形態 3 のデジタル信号処理装置によれば、演算装置 1 1 から演算装置 1 2 に対して発生するタスク処理要求を受領し、演算装置 1 2 が現在実行中のタスクを中断させて、要求されたタスクを実行することができる。例えば、第 6 図のタイミングチャートで示すように、演算装置 1 2 が処理 A を実行中に演算装置 1 1 で処理 C 実行要求が発生したとすると、従来のデジタル信号処理装置では、演算装

置 1 1 は演算装置 1 2 が処理 A、処理 B の処理を終了するまで、終了ステータス記憶レジスタ 2 4 を監視しながら待機しなければならなかったが、本発明のデジタル信号処理装置によると、演算装置 1 1 は、予約処理レジスタ 2 6 のアドレス部に処理 C のアドレスを書き込み、さらに、
5 予約処理レジスタ 2 6 の実行モードに対して実行可能を示す 1 を書き込むだけで、処理 C を実行することができる。

さらに、本実施の形態 3 のデジタル信号処理装置によれば、演算装置 1 1 から演算装置 1 2 に対して、現在処理中の処理 A を中断させて、演算装置 1 1 が要求した処理 C を実行することができる。この時、処理
10 ポインタ B 5 0 のタスクリスト 1 8 への指示先は変更されないので、演算装置 1 2 は、処理 C を実行後、処理 B を実行する。

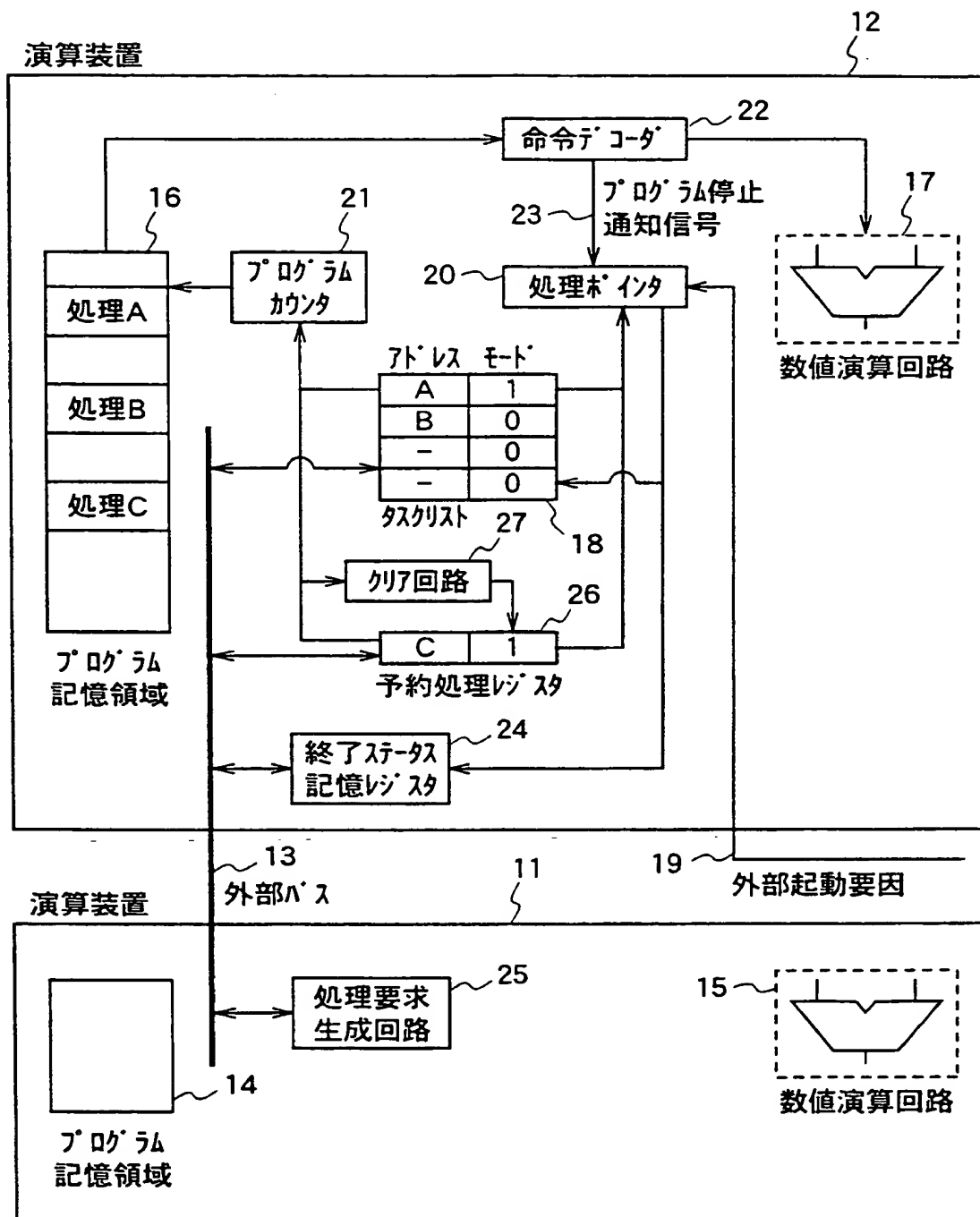
産業上の利用可能性

以上のように本発明に係るデジタル信号処理装置は、主たる演算装置から補助的な演算装置に対して発生するタスク処理を要求し、主たる
15 演算装置を待機させることなく補助的な演算装置で受理することができ、補助的な演算装置が現在実行中のタスク終了後、要求されたタスクを実行することができるものであり、特に、光ディスク装置におけるサーボ制御の演算処理に適している。

請求の範囲

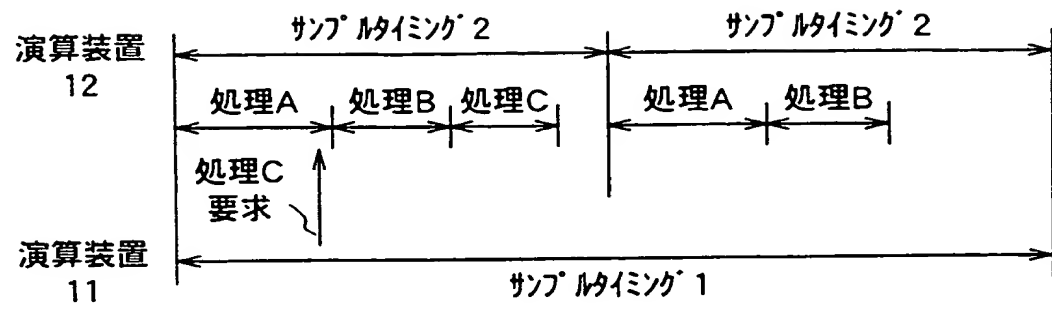
1. タスク要求を発生する主たる演算装置と、前記主たる演算装置からの前記タスク要求を受理し、実行する補助的な演算装置とからなるデジタル信号処理装置であって、
- 5 前記補助的な演算装置は、該補助的な演算装置が処理を実行中でも、前記主たる演算装置からタスクを設定可能な予約処理レジスタと、前記予約処理レジスタに設定されたタスクが行われると、前記予約処理レジスタのタスクをクリアにするクリア回路とを備え、
- 10 前記補助的な演算装置が現在実行中のタスク終了後、前記主たる演算装置から要求されたタスクを実行する、
- ことを特徴とするデジタル信号処理装置。
2. 請求の範囲第 1 項に記載のデジタル信号処理装置において、
- 前記補助的な演算装置は、処理が要求されているタスクに対して、処
- 15 理を行なう優先順位を決定する優先順位判定回路を有し、
- 前記補助的な演算装置が、前記優先順位判定回路により決定されたタスクごとの優先順位に従いタスクを実行する、
- ことを特徴とするデジタル信号復調措置。
3. 請求の範囲第 1 項に記載のデジタル信号処理装置において、
- 20 前記補助的な演算装置は、現在実行中の処理を中断する中断信号を生成する中断信号生成回路を有し、
- 前記主たる演算装置からのタスク要求を受けると、前記補助的な演算装置が処理を中断し、前記主たる演算装置からのタスク要求を実行する、
- ことを特徴とするデジタル信号処理装置。

第1図



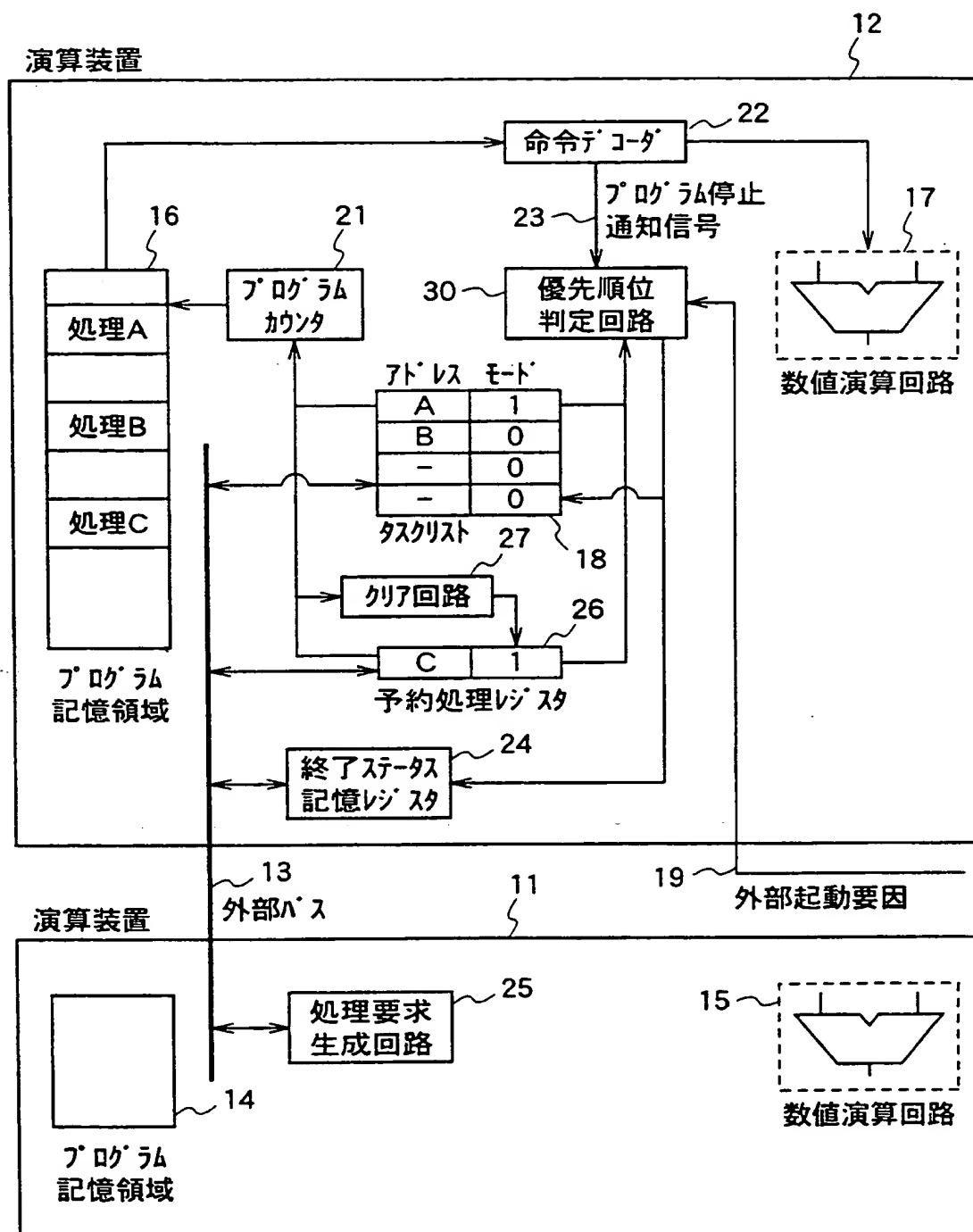
THIS PAGE BLANK (USPTO)

第2図



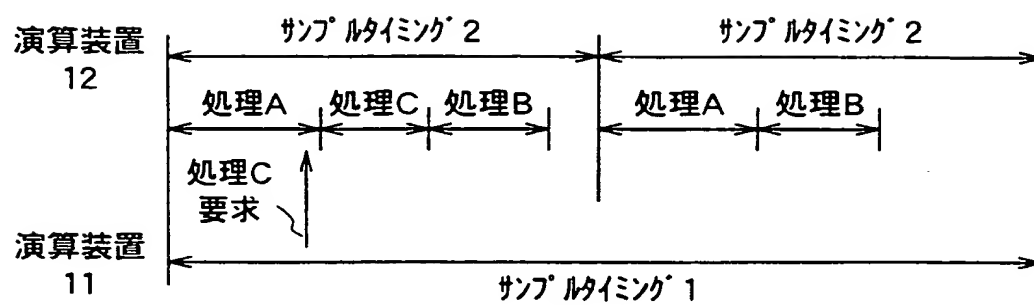
THIS PAGE BLANK (USPTO)

第3図



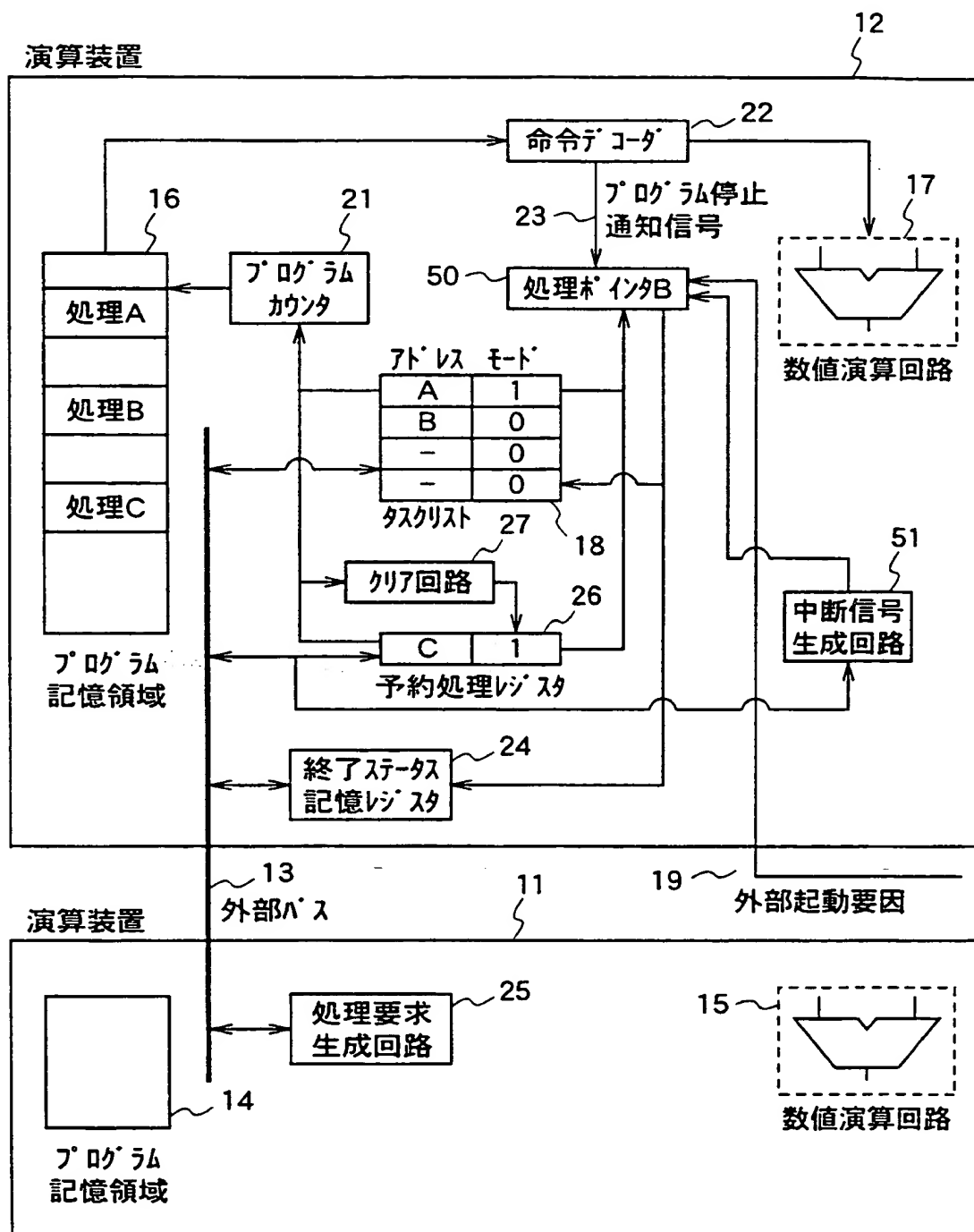
THIS PAGE BLANK (USPTO)

第4図



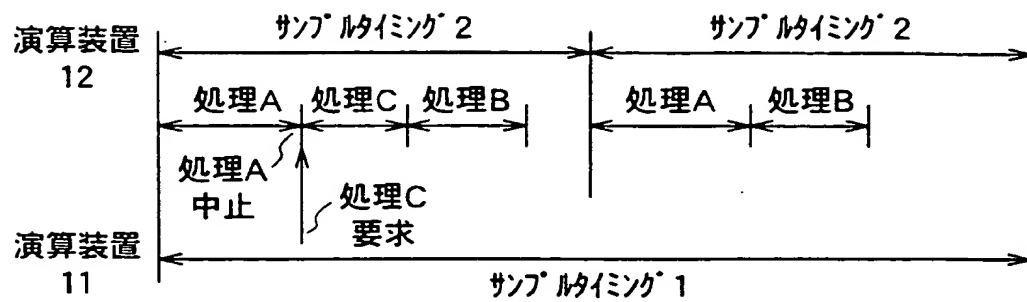
THIS PAGE BLANK (USPTO)

第5図



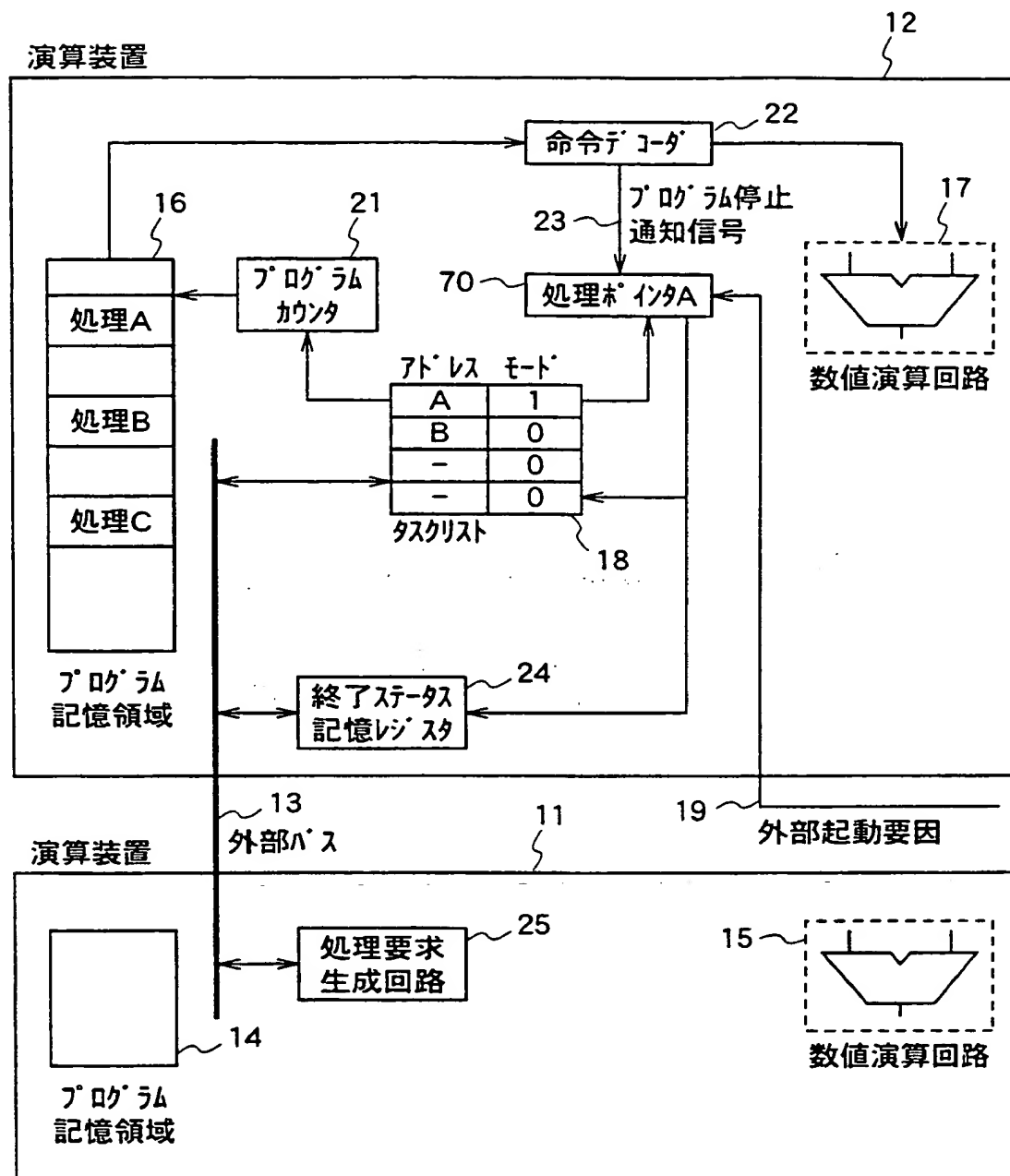
THIS PAGE BLANK (USPTO)

第6図



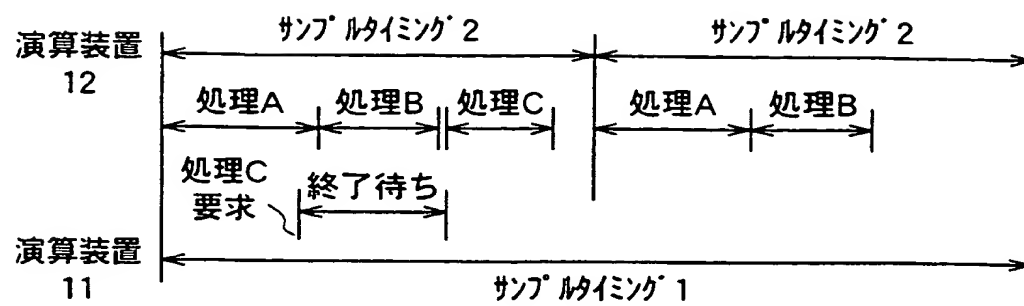
THIS PAGE BLANK (USPTO)

第7図



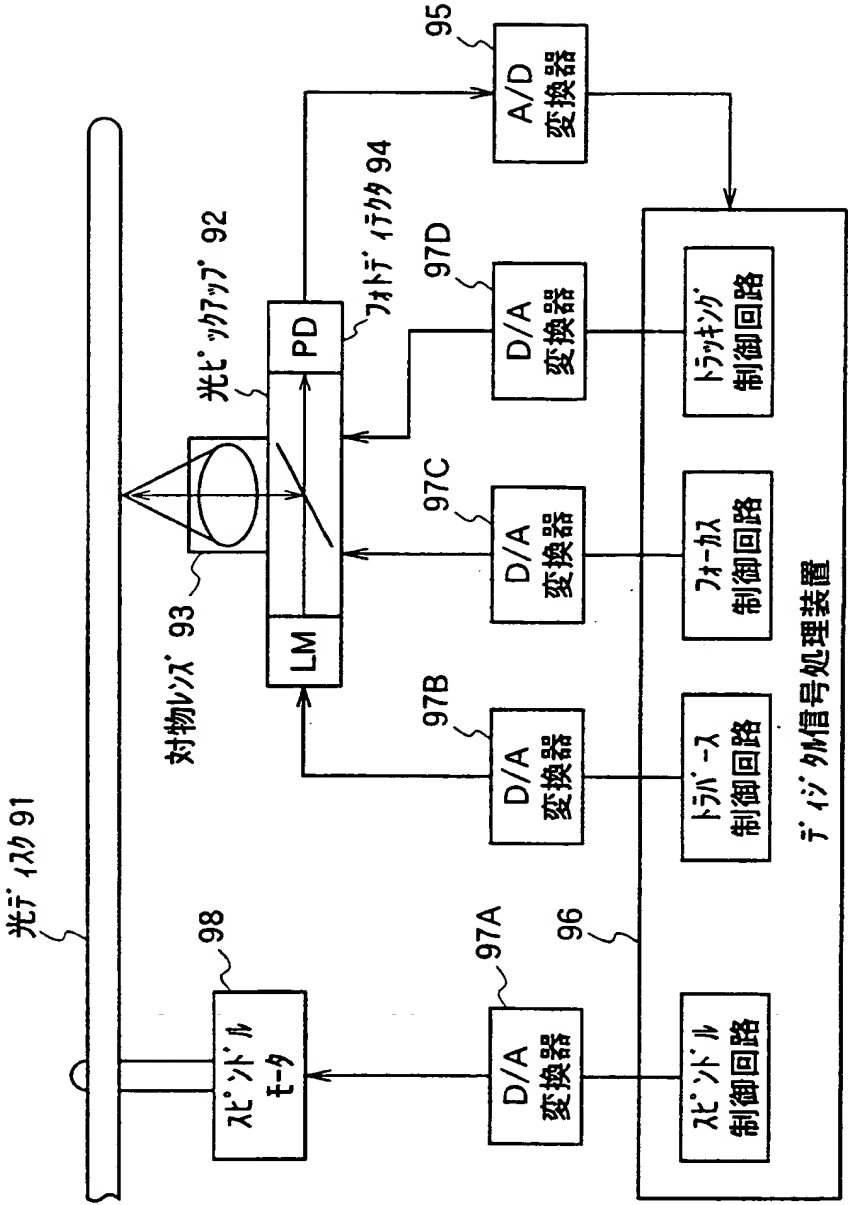
THIS PAGE BLANK (USPTO)

第8図



THIS PAGE BLANK (USPTO)

第9図



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04475

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F9/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F9/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 51-65847, A (Fujitsu Limited), 07 June, 1976 (07.06.76), page 2, upper right column, lines 4 to 6; page 2, lower left column, lines 13 to 18 (Family: none)	1-3
Y	JP, 56-7146, A (MEIDENSHA CORPORATION), 24 January, 1981 (24.01.81), Full text; Figs. 1 to 4 (Family: none)	1-3
Y	JP, 59-99553, A (NEC Corporation), 08 June, 1984 (08.06.84), Full text; Figs. 1 to 4 (Family: none)	1-3
Y	JP, 10-105413, A (NEC Communication System Ltd.), 24 April, 1998 (24.04.98), Figs. 2 (14), (14a), (14b) (Family: none)	1-3
Y	National Technical Report, Vol.34, No.6 (Japan), Kabushiki Kaisha Matsushita Techno Research, (18.12.88), pp.600-609; p.601, right column to p.602, right column	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
03 August, 2000 (03.08.00)

Date of mailing of the international search report
15 August, 2000 (15.08.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

国際調査報告

国際出願番号 PCT/JP00/04475

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁷ G06F9/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁷ G06F9/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICSTファイル (JOIS)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 51-65847, A (富士通株式会社) 7. 6月. 1976 (07. 06. 76) 第2頁右上欄第4-6行、第2頁左下欄第13-18行 (ファミリーなし)	1-3
Y	JP, 56-7146, A (株式会社明電舎) 24. 1月. 1981 (24. 01. 81) 全文、第1-4図 (ファミリーなし)	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

03. 08. 00

国際調査報告の発送日

15.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

久保 光宏



5B

9189

電話番号 03-3581-1101 内線 3546

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 59-99553, A (日本電気株式会社) 8. 6月. 1984 (08. 06. 84) 全文、第1-4図 (ファミリーなし)	1-3
Y	J P, 10-105413, A (日本電気通信システム株式会社) 24. 4月. 1998 (24. 04. 98) 図2の14, 14a, 14b (ファミリーなし)	1-3
Y	National Technical Report, 第34巻, 第6号, (日), 株式会社松下テクノリサーチ, (18. 12. 88), 第600-609頁 第601頁右コラム-第602頁右コラム	1-3